

ニューロン間の局所相互作用に基づくリザーバ計算 用教師なし学習モデルとそのアナログ回路実装に関する研究

著者	加藤 達暉
雑誌名	東北大学電通談話会記録
巻	90
号	1
ページ	160-161
発行年	2021-08-20
URL	http://hdl.handle.net/10097/00132859

修士学位論文要約（令和3年3月）

ニューロン間の局所相互作用に基づくリザーバ計算用教師なし学習モデルとそのアナログ回路実装に関する研究

加藤 達暉

指導教員：佐藤 茂雄、 研究指導教員：山本 英明

Unsupervised Local Learning Model for Reservoir Computing and Its Analog-Circuit Implementation

Tatsuki KATO

Supervisor: Shigeo SATO, Research Advisor: Hideaki YAMAMOTO

In this study, a new learning model for use in reservoir computing is introduced to realize autonomous edge AI devices. In order to process signals with a long duration, multiple conduction delays were implemented in the readout layer of the reservoir computing system. Moreover, unsupervised spike-timing-dependent plasticity (STDP), a biologically plausible learning rule, was adopted to tune the synaptic weights based solely on local information. A circuit model comprised of 21 transistors is then proposed to implement the learning model in analog circuits.

1. はじめに

IoT 化の進展に伴い、インターネットに接続されるデバイス数は爆発的に増加している。そこで、これまで主流であったクラウドコンピューティングに代わって、データの発生源の近くで情報処理を行うエッジコンピューティングに注目が集まっており、エッジでの高度で高効率な情報処理を実現するハードウェアが必要とされている。再帰型ニューラルネットワークモデルであるリザーバ計算¹⁾はリザーバと出力層間のシナプスにおいてのみ学習が行われるので、計算コストが低く、また物理実装が容易であり、エッジでの効率的な情報処理を行うのに適したモデルである。しかし、リザーバ計算を物理実装する上での課題として、処理可能な信号がリザーバの扱える時間スケールのものに制限されることが挙げられる。加えて、従来リザーバ計算に用いられてきた学習則であるリッジ回帰や FORCE 学習はリザーバ全体の情報を保存する必要があるので、回路面積・消費電力・演算能力に制約のあるエッジで用いるには適していないことも課題である。

そこで、本研究ではエッジ実装を志向したリザーバ計算の実現に向けて学習モデルを提案する。本提案学習モデルは、リザーバ／出力層シナプスに複数の伝搬遅延を導入することで、リザーバの時定数より長い時間スケールを持つ時系列信号の処理を可能とし、また教師なし STDP 則を用いることで自律的で低コストな学習を実現する。提案学習モデルの有効性を数値シミュレーションにより評価し、さらに、提案学習モデルを実現するアナログ回路を設計し、

SPICE のシミュレーションにより評価した。

2. 提案学習モデル

本研究では、学習を安定させて新たな入力信号に対するシナプスの再組織化がなされやすいという特徴に注目し、STDP 則に荷重値依存性を導入した。これは、エッジでのリザーバ計算実装において、入力信号の変化に柔軟に対応できるという利点が見込めるためである。一方で、荷重値依存性を持つ STDP 則は入力信号に対する荷重値分布の特化が起きにくいという欠点がある。そこで、シナプスの入力信号への特化性を向上させるために、ハードウェア実装容易な減衰機構として、シナプス後ニューロンの発火の際に荷重値変化量 $\Delta w_{ij}^{(d)}$ から減衰項 A_{tar} を減算する機構を導入した。

リザーバニューロン i と出力層ニューロン j 間の結合はそれぞれ異なる伝搬遅延 $d_k = k [s]$ ($k = 0, 1, 2$) の 3 個のシナプスで構成される。式(1)、(2)に STDP 則に基づく、リザーバ／出力層シナプスの結合荷重値 $w_{ij}^{(d)}$ の更新式を示す。

$$\Delta w_{ij}^{(d)} = \begin{cases} A_+(w_{max} - w_{ij}^{(d)}) \exp\left(\frac{-\Delta t}{\tau_+}\right) - A_{tar} & (\text{if } \Delta t > 0) \\ -A_-(w_{ij}^{(d)} - w_{min}) \exp\left(\frac{\Delta t}{\tau_-}\right) - A_{tar} & (\text{if } \Delta t < 0) \end{cases} \quad (1)$$

$$\Delta t = t_j - t_i - d_k \quad (2)$$

ここで、 w_{max} 、 w_{min} はそれぞれ荷重値の最大値と最小値であり、 A_+ 、 A_- 、 τ_+ 、 τ_- はそれぞれ荷重値増強・減弱の変化量の最大値および時定数である。また、 t_i 、 t_j

はリザーバニューロン i と出力層ニューロン j の発火時刻である。図1に提案学習モデルの概形を示す。

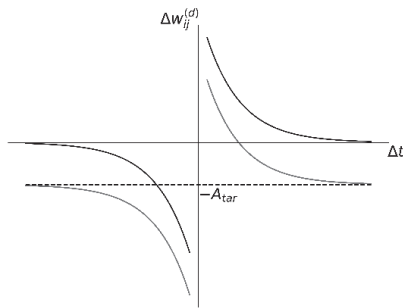


図1 提案学習モデルの概形。黒線: $A_{tar} = 0$ 赤線: $A_{tar} \neq 0$

3. 数値シミュレーション

本研究の数値シミュレーションでは、人工時系列信号の分類タスクであるタスク1と、自然音声信号の分類タスクであるタスク2を扱った。図2にタスク1の概形を示す。タスク1について学習後のパターン分類の成功率は、 $A_{tar} = 0$ では0%であったのに対して、 $A_{tar} = 1.0 \times 10^{-6}$ では70%となった。減衰項 A_{tar} によるパターン分類の成功率向上のメカニズムについて、リザーバ／出力層シナプスの特化性の向上のためであると、学習後の荷重値行列のコサイン類似度を導出することで考察した。タスク2においても、パターン分類の成功率は $A_{tar} = 0$ では50%であったのに対して、 $A_{tar} = 1.0 \times 10^{-6}$ では90%となり、減衰項 A_{tar} による性能向上が見られた。

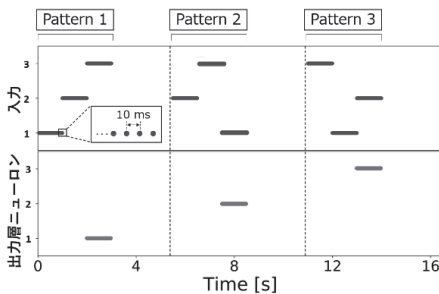


図2 数値シミュレーションタスク1の概形。上段: 入力時系列パターン 下段: 出力層の理想的な応答 横軸は時刻 s、縦軸は入力ノード及び出力層ニューロンの ID

4. 提案学習モデルのアナログ回路実装

図3に Azghadi らの STDP 回路²⁾を改良し、提案学習モデルを実装したアナログ回路を示す。提案回路では、シナプス前ニューロン回路からのパルス入力時刻 t_i とシナプス後ニューロン回路からのパルス入

力時刻 t_j の差 $\Delta t = t_j - t_i$ に基づき Depression 回路、Potentiation 回路、 $\Delta t \cdot \Delta V_{STDP}$ 変換回路によりシナプス荷重値の変化量 ΔV_{STDP} を生成する。また、提案回路において ΔV_{STDP} は Depression 回路、Potentiation 回路に入力されるシナプス素子の出力電圧 V_{NV} に依存し、荷重値依存的な STDP 動作を実現している。 A_{tar} 回路は式(1)の減衰項 A_{tar} の動作を再現する回路である。この回路について SPICE シミュレーションを行い、得られた結果よりフィッティングで得られたパラメータを用いてタスク1の数値シミュレーションを行ったところ、回路上で再現可能な $A_{tar} = 6.0 \times 10^{-7}$ で成功率が最高となり、提案回路が時系列信号分類タスクにおいて有用であることが示された。

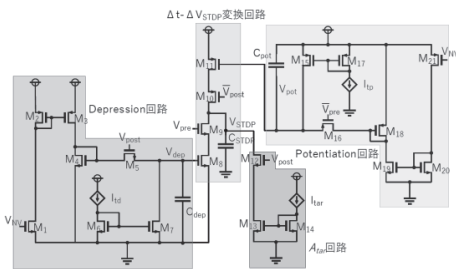


図3 改良した STDP 学習用アナログ回路。

5. まとめ

本研究では、エッジ実装を志向したリザーバ計算向け学習モデルを提案し、数値シミュレーションにより時系列信号分類における有効性を示した。また、提案学習モデルを実装したアナログ回路が時系列信号分類において有用であることを、SPICE シミュレーションと数値シミュレーションにより示した。今後の課題は提案回路を組み込んだニューラルネットワークハードウェアの実装である。それに向けて、シナプスとして用いる不揮発性メモリ素子に対する、荷重値変化量書き込み回路の設計が求められる。また、提案回路の電源電圧を下げた、回路全体のトランジスタを弱反転領域で動作する回路の設計することでさらなる低消費電力化が見込まれる。

文献

- 1) G. Tanaka, T. Yamane, J. B. Heroux, R. Nakane, N. Kanazawa, S. Takeda, H. Numata, D. Nakano, and A. Hirose, "Recent advances in physical reservoir computing: A review," *Neural Netw.* 115, 100-123 (2019).
- 2) M. R. Azghadi, S. Al-Sarawi, N. Iannella and D. Abbott, "Efficient design of triplet based Spike-Timing Dependent Plasticity," *Proc. IJCNN*, Brisbane, AU, 2012.